

FABRICATION OF MOS TYPE INTEGRATED CIRCUIT DEVICE

Patent Number: JP8130250

Publication date: 1996-05-21

Inventor(s): SUGAHARA NORIYUKI

Applicant(s): FUJI ELECTRIC CO LTD

Requested Patent: JP8130250

Application Number: JP19950043723 19950303

Priority Number(s):

IPC Classification: H01L21/8234; H01L27/088; H01L29/78; H01L21/336

EC Classification:

Equivalents:

Abstract

PURPOSE: To deposit gate oxides with different thickness on the wafer of an integrated circuit device while protecting the wafer against contamination with a photoresist resin during photoprocess.

CONSTITUTION: Under a state where the part for depositing gate oxides 23, 24 on the surface of a wafer 10 is covered entirely with an anti-oxidation film 13, e.g. silicon nitride, a field oxide 14 is provided through selective oxidation. The anti-oxidation film 13 is then removed from the part for depositing the gate oxide 24 by photoetching. In other words, a thick gate oxide 24 is deposited by thermal oxidation while covering the part for deposition the thin gate oxide 23 with the anti-oxidation film 13. Furthermore, under a state where the anti-oxidation film 13 is removed entirely from the surface of the wafer 10, the thin gate oxide 23 is deposited by thermal oxidation and then the thick gate oxide 24 is deposited thereon. Consequently, the gate oxides 23, 24 having different thickness are deposited for the transistors 41, 42 at a logic part 21 and a high breakdown strength part 22.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-130250

(43)公開日 平成8年(1996)5月21日

(51)Int.Cl.⁶

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 21/8234
27/088
29/78

H 01 L 27/08 102 A
102 C

審査請求 未請求 請求項の数9 ○L (全10頁) 最終頁に統く

(21)出願番号 特願平7-43723

(71)出願人 000005234

富士電機株式会社

(22)出願日 平成7年(1995)3月3日

神奈川県川崎市川崎区巴辺新田1番1号

(31)優先権主張番号 特願平6-210326

(72)発明者 須ヶ原 紀之

(32)優先日 平6(1994)9月5日

神奈川県川崎市川崎区巴辺新田1番1号

(33)優先権主張国 日本 (JP)

富士電機株式会社内

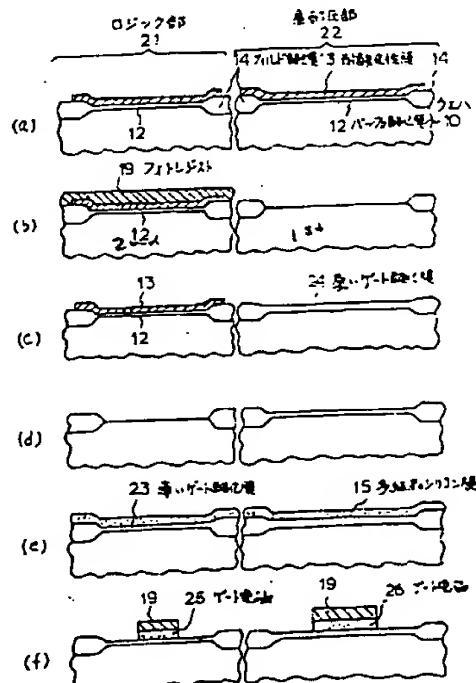
(74)代理人 弁理士 山口 厥

(54)【発明の名称】 MOS型集積回路装置の製造方法

(57)【要約】

【目的】集積回路装置のウェハに膜厚が互いに異なるゲート酸化膜をフォトプロセス時にフォトトレジスト用の樹脂で汚染されることなく成膜する。

【構成】ウェハ10の表面のゲート酸化膜23や24を成膜すべき全ての個所を窒化シリコン等の耐酸化性膜13で覆った状態でフィールド酸化膜14を付ける選択酸化を施した後にフォトエッチングを施して、耐酸化性膜13を厚いゲート酸化膜24を成膜すべき個所から除去し、従って薄いゲート酸化膜23の成膜個所に耐酸化性膜13を被覆した状態で熱酸化によって厚いゲート酸化膜24を成膜し、さらにウェハ10の表面から耐酸化性膜13をすべて除去した状態で熱酸化によって薄いゲート酸化膜23を成膜しかつ厚いゲート酸化膜24を積み増すことにより、ロジック部21および高耐圧部22のトランジスタ41と42用に膜厚が互いに異なるゲート酸化膜23と24を成膜する。



1

【特許請求の範囲】

【請求項1】同一半導体基板上に厚さの異なる二つのゲート酸化膜を有するMOS型集積回路装置の製造方法において、ゲート酸化膜を成膜すべきすべての個所を耐酸化性膜により覆った状態で熱酸化を施す選択酸化工程と、薄い方のゲート酸化膜を付けるべき個所に耐酸化性膜を残した状態で熱酸化により厚い方のゲート酸化膜を成膜する第一酸化工程と、耐酸化性膜を除去した状態で熱酸化により薄い方のゲート酸化膜を成膜する第二酸化工程とを含むことを特徴とするMOS型集積回路装置の製造方法。

【請求項2】薄い方のゲート酸化膜の成膜個所の耐酸化性膜をマスク膜で覆った状態で厚い方のゲート酸化膜の成膜個所の耐酸化性膜をプラズマエッティング法により除去するようにしたことを特徴とする請求項1に記載のMOS型集積回路装置の製造方法。

【請求項3】第一酸化工程では厚いゲート酸化膜を第二酸化工程における積み増し分を見込んだ膜厚で成膜するようにしたことを特徴とする請求項1または2に記載のMOS型集積回路装置の製造方法。

【請求項4】第一酸化工程では厚いゲート酸化膜を第二酸化工程のために耐酸化性膜とその下側のバッファ酸化膜とともに除去する際の減少分を見込んだ膜厚で成膜するようにしたことを特徴とする請求項3に記載のMOS型集積回路装置の製造方法。

【請求項5】第二酸化工程で耐酸化性膜をそれに対し選択性をもつエッティング液を用いて除去するようにしたことを特徴とする請求項1ないし4のいずれかに記載のMOS型集積回路装置の製造方法。

【請求項6】選択性のエッティング液として熱磷酸を用いることを特徴とする請求項5に記載のMOS型集積回路装置の製造方法。

【請求項7】同一半導体基板上に厚さの異なる二つのゲート酸化膜を有するMOS型集積回路装置の製造方法において、ゲート酸化膜を成膜すべきすべての個所を耐酸化性膜により覆った状態で熱酸化を施す選択酸化工程と、ゲート酸化膜を成膜すべきすべての個所に一方の膜厚のゲート酸化膜とゲート電極を加工すべきゲート電極膜とを形成する工程と、他方のゲート酸化膜を成膜すべきすべての個所の酸化膜とゲート電極膜を除去する工程と、ゲート酸化膜を成膜すべきすべての個所に他方の膜厚のゲート酸化膜とゲート電極を加工すべきゲート電極膜とを形成する工程と、二層のゲート電極膜が形成された個所の上層のゲート電極膜を除去する工程と、ゲート電極膜からゲート電極を加工する工程とを順次行うことの特徴とするMOS型集積回路装置の製造方法。

【請求項8】膜厚の厚い方のゲート酸化膜を先に形成し、薄い方のゲート酸化膜を後から成膜することを特徴とする請求項7に記載のMOS型集積回路装置の製造方法。

【請求項9】ゲート酸化膜をバイロジエニック酸化法により成膜するようにしたことを特徴とする請求項1ないし8のいずれかに記載のMOS型集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、動作電圧の互いに異なるMOS型半導体素子、特に互いに膜厚の異なるゲート酸化膜を有するMOS型半導体素子を一個の半導体チップに集積したMOS型集積回路装置の製造方法に関する。

【0002】

【従来の技術】集積回路装置の用途の拡大に伴って、同一チップ内に負荷の駆動を目的とした比較的高耐圧、大容量の回路要素と高速動作に適した小容量の回路要素を作成する技術が重要となってきている。かかる集積回路装置では、負荷駆動用の回路要素（以下この回路要素を高耐圧部と称する）はふつう40～60Vの電源電圧下で、また高速動作用の回路要素（以下この回路要素をロジック部と称する）はふつう5Vの低圧の制御電源電圧下で動作するので、各回路要素にはその動作電圧に応じた耐圧を与える必要があり、回路要素が绝缘ゲート制御型の素子の場合はそのゲート酸化膜にかかる必要耐圧に応じた膜厚をもたせる必要がある。例えば、ロジック部の高速動作を可能にするためロジック部のゲート酸化膜の厚さは25～40nmであるが、高耐圧部に関しては40～60Vの電圧がゲート酸化膜にも印加されるため高耐圧部のゲート酸化膜は、130～150nmの厚さが必要である。従ってそのような集積回路装置用のウニハには、膜厚が互いに異なる二種類のゲート酸化膜を成膜することが必要である。

【0003】図4は、そのような集積回路装置用のウニハの膜厚が互いに異なる二種類のゲート酸化膜上にゲート電極を形成するまでの従来方法を、主な工程ごとの断面図で示す。図4(a)において、ウニハ10の半導体領域11は半導体基板やエピタキシャル層やウェルである。従来の選択酸化技術により、ウェハ10の一方の正面に素子分離のためのフィールド酸化膜14が半導体素子を作り込むべき各範囲を取り囲むように形成された状態の断面図である。12はバッファ酸化膜、13は例えば窒化シリコン膜のような耐酸化性膜である。図の左側はロジック部21で薄いゲート酸化膜を、右側は高耐圧部22で厚いゲート酸化膜をそれぞれ成膜すべき部分である。

【0004】次に、耐酸化性膜13とバッファ酸化膜12を除去した後、（薄いゲート酸化膜を成膜すべき部の左側の範囲を含む）ウニハ10の全面に、900℃、57分程度のバイロ酸化により厚いゲート酸化膜24をまず成膜する〔図4(b)〕。高耐圧部のゲート酸化膜24の最終膜厚を150nm程度としたいとき、この二程

では薄めの例えは135nmの膜厚に成膜する。

【0005】続いて、図の右側の高耐圧部22をフォトレジスト19で覆い、例えは希硫酸を用いるウェットエッティングで、フォトレジスト19で覆われていない図の左側のロジック部21の厚い酸化膜24を除去し、半導体領域11の表面を露出させる(図4(c))。さらに、アッショングやリムーバ液によってウェハ10の表面からフォトレジスト19を除去した後、800°C、40分程度のパイロ酸化を行う。これにより、ロジック部21には厚さ25nm程度の薄いゲート酸化膜23が成膜される。また、これと同時に図の右側の高耐圧部22も熱酸化されるので厚いゲート酸化膜24が積み増されるが、熱酸化時の酸化膜の成長速度は膜厚の増加とともに低下するから厚いゲート酸化膜24は例えは15nmだけ積み増されて目標の150nmにほぼ等しい膜厚になる(図4(d))。ここでゲート酸化膜の成長速度がロジック部21と高耐圧部22で異なるのは、酸化反応が酸化膜とシリコン基板との界面において、酸化膜中を拡散してきた酸化種によって進行するためである。そのため酸化膜が厚くなるに従って酸化種が酸化膜とシリコン基板との界面に到達するのが困難になり、成長速度が遅くなるのである。

【0006】その後、減圧CVD法により、ウェハ10の全面に多結晶シリコン膜15を堆積する(図4(e))。更に、フォトエッティング技術により、薄いゲート酸化膜23上にロジック部のゲート電極25を、また厚いゲート酸化膜24上高耐圧部のゲート電極26を形成する(図4(f))。

【0007】図5は、集積回路装置用のウェハの膜厚が互いに異なる二種類のゲート酸化膜上にゲート電極を形成するまでの別の方法を主な工程ごとの断面図で示す。図5(a)は、図4(a)と同じく選択酸化技術により、ウェハ10の一方の正面に素子分離のためのフィールド酸化膜14が半導体素子を作り込むべき各範囲を取り囲むように形成された状態の断面図である。12はバッファ酸化膜、13は例えは空化シリコン膜のような耐酸化性膜である。図の左側はロジック部21で薄いゲート酸化膜を、右側は高耐圧部22で厚いゲート酸化膜をそれぞれ成膜すべき部分である。

【0008】まず、耐酸化性膜13とバッファ酸化膜12を除去した後、ウェハ10の全面に、900°C、61分程度のパイロ酸化により厚さ150nmの厚いゲート酸化膜24を成膜し、続いて減圧CVD法により、第一の多結晶シリコン膜15をウェハ11の全面に堆積する(図5(b))。次に、フォトレジスト19を塗布し、パターン形成して高耐圧部22のゲート電極26を形成する(図5(c))。

【0009】さらに、アッショングやリムーバ液によってウェハ10の表面からフォトレジスト19を除去した後、硫酸による全面エッティングを行うと、ロジック部

21の厚いゲート酸化膜24は除去され、半導体領域11の表面が露出するが、高耐圧部22においては、ゲート電極26の下の厚い酸化膜24はエッチングされないで残る(図5(d))。

【0010】しかる後に第二のゲート酸化を、800°C、40分程度行い、ロジック部21の薄いゲート酸化膜23を25nm程度成膜する。このとき高耐圧部22のゲート電極26も酸化され、ゲート電極26の上に酸化膜18が形成される。続いて第二の多結晶シリコン膜16を全面に堆積する(図5(e))。更に、フォトレジスト19を塗布し、フォトエッティング技術により、ロジック部21の薄いゲート酸化膜23上にロジック部のゲート電極25を形成する。同時に高耐圧部22上の第二の多結晶シリコン膜16をエッティング除去する。このとき、ゲート電極26の上の酸化膜18がエンドポイントディテクタとして働き、高耐圧部22の厚いゲート酸化膜24上のゲート電極26は残される(図5(f))。

【0011】

【発明が解決しようとする課題】上記図4の従来方法によって、薄いゲート酸化膜23と厚いゲート酸化膜24とをほぼ正確な膜厚で成膜できるが、それらを用いた集積回路装置の回路要素にゲート耐圧の不良や動作特性上の不良が、もちろんあまり多くはないが無視できない程度の確率で発生する問題がある。その原因を詳しく調査したところ不良は厚いゲート酸化膜24を用いた回路要素の方に発生しやすく、更に不良のおもな原因是図4(c)のフォトエッティング工程中に厚いゲート酸化膜24がフォトレジスト19の不純物により汚染される点にあり、これによる不良発生の確率は製造直後よりも使用時間の経過につれて増加することが判明した。

【0012】そこで、フォトレジスト19の選択、その回転塗布や加热固化の条件の変更、アッショング条件やリムーバ液の選定、更に除去後の後洗浄の徹底化等の種々の手段を探ってみたがいずれにもさほど改善効果は認められず、おそらくは例え短時間でもフォトレジスト19が接触した酸化膜は不純物で汚染されてしまい、通常の手段では容易に除去できないものと考えられる。マスクとしてフォトレジスト19以外のものを用いることも考えられるが、それが選択エッティング用である以上はフォトプロセスが必要なのでフォトレジスト19の使用は省けない。また、厚いゲート酸化膜24の膜厚をさらに増してみても改善効果は僅かであり、かつゲートの動作しきい値が許容限界を越えてしまう結果となりやすい。

【0013】一方、上記図5の方法によれば、膜厚の異なるゲート酸化膜23、24がフォトレジスト19と接触することなく、フォトレジスト19中の不純物によって汚染されることはないはずであるが、それらを用いた集積回路装置の回路要素にゲート耐圧の不良や動作特性上の不良が、やはり無視できない程度の確率で発生し

5

た。

【0014】その原因を詳しく調査したところ不良原因是、高耐圧部22のゲート電極26下の厚いゲート酸化膜24にアンダーカットがあるためであることがわかった。すなわち、図5(c)の工程で高耐圧部22のゲート電極26をフォトエッチング技術により形成した後、ロジック部21の薄いゲート酸化膜23を成膜する前に、ふつ酸による全面エッチングを行うが、このとき同時に高耐圧部22のゲート電極26の下以外の部分の厚いゲート酸化膜24も除去される。そして、ふつ酸によるエッチングは等方性エッチングであるから必然的に高耐圧部22のゲート電極26の下の酸化膜の周辺部分がエッチングされ、いわゆるアンダーカットが入る。その後、アンダーカット部分にも薄い酸化膜23が形成されるが、境界部分の酸化膜の膜質が不十分で、ゲート酸化膜の耐圧が低下する等の問題が起きるのである。

【0015】本発明の目的は、以上のような問題に鑑み、ゲート耐圧不良等の無い、信頼性の高い、膜厚が異なるゲート絶縁膜を有するMOS型集積回路装置の製造方法を提供することにある。

【0016】

【課題を解決するための手段】上記の目的は本発明によれば、MOS型集積回路装置用のウェハに膜厚が異なるゲート酸化膜を成膜するに際し、ゲート酸化膜を成膜すべき個所をすべて耐酸化性膜により覆った状態で熱酸化を施す選択酸化工程と、薄い方のゲート酸化膜を付けるべき個所に耐酸化性膜を残した状態で熱酸化により厚い方のゲート酸化膜を成膜する第一酸化工程と、耐酸化性膜を除去した状態で熱酸化により薄い方のゲート酸化膜を成膜する第二酸化工程とを含む成膜方法によって達成される。

【0017】上記の構成にいう耐酸化性膜には選択酸化工程で素子分離膜ないしフィールド酸化膜を付けるに適する窒化シリコン膜を用いるのがよく、かつその下地としてウェハの表面に薄いバッファ酸化膜をつけておくのがよい。第一酸化工程のためこの耐酸化性膜を薄いゲート酸化膜を付けるべき個所に残すには、それをフォトレジスト等のマスク膜で覆った状態でプラズマエッチング法によって厚いゲート酸化膜の成膜個所から耐酸化性膜を除去するのがよい。この残った耐酸化性膜を第二酸化工程のために除去するには、それに対して選択性をもつエッチング液を用いてウェットエッチングを施すのがよく、特にエッチング液として熱磷酸を用いるのがウェットエッチングの選択性を厚いゲート酸化膜に対するより100倍以上高める点で非常に有利である。

【0018】なお、第一酸化工程と第二酸化工程で厚いゲート酸化膜と薄いゲート酸化膜をそれぞれを成膜するための熱酸化はいわゆるバイロジエニック酸化法によるものとする。第二酸化工程では薄いゲート酸化膜を単純に所望の膜厚で成膜することでよいが、第一酸化工程で

6

成膜する厚いゲート酸化膜は次の第二酸化工程で積み増しが発生するため、あらかじめこの積み増し分を見込んだ最終の目標膜厚より薄めの膜厚で付けておくのがよい。さらに、前述のように耐酸化性膜の下地としてバッファ酸化膜を設ける場合は、第二酸化工程のため耐酸化性膜を除去する際にそれも同時に除去するのがよく、この際に厚いゲート酸化膜の膜圧がバッファ酸化膜の膜厚とほぼ同じだけ減少するので、第一酸化工程による厚いゲート酸化膜はあらかじめこの減少分も見込んだ膜厚で付けておくのが望ましい。

10

【0019】また、同一半導体基板上に厚さの異なる二つのゲート酸化膜を有するMOS型半導体装置の別の製造方法として、ゲート酸化膜を成膜すべきすべての個所を耐酸化性膜により覆った状態で熱酸化を施す選択酸化工程と、ゲート酸化膜を成膜すべきすべての個所に一方の膜厚のゲート酸化膜とゲート電極を加工すべき電極膜とを形成する工程と、他方のゲート酸化膜を成膜すべきすべての個所の酸化膜と電極膜を除去する工程と、ゲート酸化膜を成膜すべきすべての個所に他方の膜厚のゲート酸化膜とゲート電極を加工すべき電極膜とを形成する工程と、二層の電極膜が形成された個所の上層の電極膜を除去する工程と、電極膜からゲート電極を加工する工程とを順次行う方法をとることもできる。

20

【0020】そのとき、厚い方のゲート酸化膜を薄い方のゲート酸化膜より先に形成するものとする。この場合もゲート酸化膜をバイロジエニック酸化法により成膜するのがよい。

【0021】

30

【作用】本発明によるゲート酸化膜の成膜方法は、ゲート酸化膜を成膜すべき全ての個所が選択酸化工程のため耐酸化性膜により覆われた状態のまで、厚いゲート酸化膜と薄いゲート酸化膜の成膜範囲を互いに区別するために是非必要なフォトエッチングを施して薄いゲート酸化膜の成膜範囲にのみ耐酸化性膜を残し、第一酸化工程ではこれにより薄いゲート酸化膜の成膜範囲を覆った状態で厚いゲート酸化膜だけを成膜し、第二酸化工程ではこの残った耐酸化性膜も除去した状態で薄いゲート酸化膜を成膜することにより、ゲート酸化膜を成膜するいずれの酸化工程に対してもその前にフォトプロセスを成膜個所がまだ耐酸化性膜で覆われている状態で済ませてしまい、従って金属等の不純物を含むフォトレジスト樹脂がゲート酸化膜はもちろんその成膜範囲のウェハ面にも接触し得ないようにして、その不純物によりゲート酸化膜が汚染されるおそれなくしたものである。しかもゲート電極の下のゲート酸化膜にアンダーカットが無く、この点でもゲート耐圧の低下が避けられる。

40

【0022】また、上記別の製造方法においても、ゲート酸化膜とフォトレジストとの間にはつねにゲート電極膜があって、直接の接触は避けられている。従って金属等の不純物を含むフォトレジスト樹脂がゲート酸化膜は

50

もちろんその成膜範囲のウェハ面にも接触し得ないようにして、その不純物によりゲート酸化膜が汚染されるおそれなくしたものである。しかもゲート電極の下のゲート酸化膜にアンダーガットが無く、この点でもゲート耐圧の低下が避けられる。

【0023】なお、熱酸化はドライ酸化法やスチーム酸化法によることもできるが、いわゆるバイロジエニック酸化法によるのが成膜の速度を上げ膜圧の制御精度を高め得る上で最も有利である。

【0024】

【実施例】以下、図4、図5と共に同一の符号を付した図を参照しながら本発明の半導体装置の製造方法の実施例を説明する。図1は本発明の半導体装置の製造方法に係る第一の実施例の主な工程ごとの断面図である。図1(a)は選択酸化工程の状態を示す。図は集積回路を作り込むべきウェハ10のごく一部であり、図の右半分と左半分が図2に示されたMOSトランジスタ41と42がそれぞれ作り込まれる領域である。集積回路装置は例えば表示パネルの駆動用であり、その画素駆動用の図の右半分の高耐圧部22のMOSトランジスタ42は40~50Vの電圧下で動作し、表示データ用の高速動作する図の左半分のロジック部21のMOSトランジスタ41は5Vの電圧下で動作する。これらのMOSトランジスタ41と42のゲート酸化膜はかかる動作電圧に応じた膜厚とされ、この実施例でも図4、5の従来例と同じく25nmと150nmにそれぞれ設定される。

【0025】ウェハ10の半導体領域11は半導体基板やエビタキシャル層やウェルであって、この例ではその表面にバッファ酸化膜12が熱酸化により35nmの膜厚で付けられ、耐酸化性膜13用に窒化シリコン膜がCVD法により150nmの膜厚で成膜される。図1(a)の選択酸化工程では、耐酸化性膜13を例えば図のように各トランジスタ領域を覆うパターンに形成した後にいわゆるLOCOS法による熱酸化を施すことにより、図示のように各領域を取り囲む素子分離膜ないしはフィールド酸化膜14を600~800nm程度の膜厚で成膜する。

【0026】図1(b)は図1(c)の第一酸化工程のための準備工程であって、図の左半分の薄いゲート酸化膜を付けるべき範囲を残して耐酸化性膜13をフォトエッティングにより除去する。このためには、通常のフォトレジスト19をマスクとして用いるフォトプロセスでフォトレジスト19を図のように形成した上で例えば三フッ化窒素(NF₃)を含む雰囲気ガス内で耐酸化性膜13をプラズマエッティングにより除去し、かつその下側のバッファ酸化膜12を希フッ酸液による簡単なエッティングで除去して半導体領域11の表面を露出させるのがよい。この図1(b)の工程のフォトプロセスでは半導体領域11の表面ないしバッファ酸化膜12は耐酸化性膜

13によってフォトレジスト19から隔てられているので、フォトレジスト19と接触して汚染されるおそれはない。

【0027】次の図1(c)は第一酸化工程の状態を示す。この工程ではまず前の図1(b)の状態からフォトレジスト19をアッショング等の手段で除去して薄いゲート酸化膜を付けるべき図の左半分の範囲を耐酸化性膜13で覆った状態で、右半分の半導体領域11の表面を熱酸化して厚いゲート酸化膜24を成膜する。このゲート酸化膜24は通例のように水素と酸素のガス反応を利用するいわゆるバイロジエニック酸化法(以後バイロ酸化と称する)により成膜するのが成膜速度と膜質を高め得る点で有利である。この実施例では例えば900°C、30分程度のバイロ酸化条件で厚いゲート酸化膜24を目指値の150nmより厚めの170nmの膜厚で成膜する。

【0028】図1(d)に示す次の第二酸化工程のための準備工程では図の左半分の範囲から耐酸化性膜13とバッファ酸化膜12を除去する。まず、耐酸化性膜13の除去は厚いゲート酸化膜24に影響を極力与えないよう耐酸化性膜13に対してできるだけ高い選択性をもつエッティング液を用いるウェットエッティングによるのがよく、特にこのエッティング液として熱塩酸を用いれば室化シリコン膜からなる耐酸化性膜13と厚いゲート酸化膜24に対して200:1程度の高いエッティング選択性が得られる。次のバッファ酸化膜12は通例の希フッ酸液によるウェットエッティングで除去することによいが、この場合はエッティング選択性が全くなないので前述の35nmの膜厚のバッファ酸化膜12を除去する際に厚いゲート酸化膜24の方も同じだけエッティングされて膜厚が170nmから135nmに減少する。なお、この図1(d)の工程中に厚いゲート酸化膜24は熱塩酸および希フッ酸と接触するが、これらの無機酸との接触によって汚染を受けるおそれは周知のようにごく少ない。

【0029】次の図1(e)の第二酸化工程では前工程で耐酸化性膜13とバッファ酸化膜12とを除去して露出させた左半分の半導体領域11の清浄な表面を熱酸化して薄いゲート酸化膜23を付ける。この熱酸化にもバイロ酸化法を用いるのがよく、例えば800°C、40分程度の条件下で薄いゲート酸化膜23を目指値の25nmの膜厚に成膜する。これと同時に厚いゲート酸化膜24も積み増されるが膜厚が増すにつれ酸化膜の成長速度が落ちるので、薄いゲート酸化膜23の成長より低い15nm程度が積み増されて前工程の135nmから目標値150nmに近い膜厚になる。この後、減圧CVD法により多結晶シリコン膜15が堆積される。

【0030】更に、同図(f)ではフォトレジスト19が塗布、パターニングされ、多結晶シリコン膜15のフォトエッティングにより、ロジック部21のゲート電極25と高耐圧部22のゲート電極26が形成される。以上

で本発明方法によるゲート酸化膜23と24の成膜およびゲート電極25、26の形成までが完了するが、図1(c)の第一酸化工程と図1(e)の第二酸化工程より前の図1(a)の耐酸化性膜13がまだウェハ10の表面にある状態で図1(b)の準備工程でフォトエッチングを済ませてしまうので、フォトレジスト19がゲート酸化膜23や24に接触し得ないことはもちろん、それらを成膜すべき範囲の半導体領域11の表面にも接触しないので、清浄な半導体表面に不純物による汚染がないゲート酸化膜23と24を良好な膜質で容易に成膜することができる。

【0031】参考のため、図2(a)および(b)に、この後の工程における断面図を簡略に示す。図2(a)では、ゲート電極25、26およびフィールド酸化膜14をマスクにして或いはフォトエッチング技術によるマスクによりp型の半導体領域11の表面に高耐圧部22のMOSトランジスタ42用にn型低濃度領域32を拡散し、ロジック部21および高耐圧部22のMOSトランジスタ41、42に対してn型ソース領域33およびn型ドレイン領域34と、p型コンタクト領域35を拡散する。この工程はゲート酸化膜23、24を残したまま行うことができる。

【0032】最後に要所の酸化膜に窓を開けをし、アルミニウム合金の電極36を配設してソース端子Sとドレイン端子Dとゲート端子Gを導出する【図2(b)】。このようにして、ウェハ10に集積回路の回路要素の例として動作電圧が互いに異なるMOSトランジスタ41と42を作り込むことができる。なお、ゲート電極25、26の上に層間絶縁膜が、電極36の上に保護膜が実際にはそれぞれ設けられるが図では省略されている。

【0033】本発明方法によりゲート酸化膜23と24を成膜したウェハ10に図2のようにMOSトランジスタ41と42を組み込んだ集積回路装置の試験結果では、従来では1~3%の確率で汚染が原因と思われるゲート耐圧やしきい値の不良が発生していたのに対し、本発明方法による場合は製造直後のかかる不良の発生確率はほぼ0であり、さらに加熱下の100時間程度の劣化加速試験の結果でもゲート耐圧や動作特性の劣化は特に認められなかった。

【0034】図3(a)ないし(f)は本発明の別の製造方法の実施例の主な工程ごとの断面図である。図3(a)は、図1(a)と同様選択酸化工程の状態を示す。図は集積回路を作り込むべきウェハ10のごく一部であり、図の右半分と左半分が図2に示されたMOSトランジスタ41と42がそれぞれ作り込まれる領域である。

【0035】ウェハ10の半導体領域11は半導体基板やエピタキシャル層やウェルであって、この例ではその表面にバッファ酸化膜12が熱酸化により35nmの膜厚で付けられ、耐酸化性膜13として空化シリコン膜が

プラズマCVD法により150nmの膜厚で成膜される。図3(a)の選択酸化工程では、耐酸化性膜13を例えば図のように各トランジスタ領域を覆うパターンに形成した後にいわゆるLOCOS法による熱酸化を施すことにより、図示のように各領域を取り囲む素子分離膜ないしはフィールド酸化膜14を600~800nm程度の膜厚で成膜する。

【0036】耐酸化性膜13とバッファ酸化膜14とを除去した後、900°C、61分程度のパイロ酸化によりて150nmの高耐圧部22用の厚い酸化膜24を成膜し、続いて減圧CVD法により第一の多結晶シリコン膜15を全面に堆積し、フォトレジスト19を塗布し、高耐圧部22上にパターン形成する【図3(b)】。次に、ロジック部21上の第一の多結晶シリコン膜15をエッチング除去した後、フォトレジスト19を除去し、ふつ酸によりロジック部21上の厚いゲート酸化膜26をエッチングして、半導体領域11の表面を露出させる【図3(c)】。高耐圧部22上は多結晶シリコン膜15があるため、ゲート酸化膜24はエッチングされない。しかも高耐圧部22上の第一の多結晶シリコン膜15は、高耐圧部22全体を覆うように残っているため、言い換えると高耐圧部22上の第一の多結晶シリコン膜15が、高耐圧部22の活性領域より大きく残っているため、後でフォトエッチングにより形成されるゲート電極26の直下の酸化膜のアンダーカットは起こらない。

【0037】かかる後、第二のゲート酸化膜23を800°C、40分程度のパイロ酸化により25nmの厚さに成膜する。このとき、高耐圧部22の第一の多結晶シリコン膜15も酸化され、その上に酸化膜18が形成される。続いて、第二の多結晶シリコン膜16を全面に堆積し、フォトレジスト19を塗布し、ロジック部21上にパターン形成する【図3(d)】。

【0038】次に、高耐圧部22の第二の多結晶シリコン膜16をエッチング除去する。このとき、先に述べた高耐圧部22の第一の多結晶シリコン膜15の上の酸化膜18がこのエッチングのエンドポイントディテクタとして働くので、高耐圧部22の第一の多結晶シリコン膜15はエッチングされない。フォトレジスト19を除去し、必要があれば、第一の多結晶シリコン膜15の上の酸化膜18をこの時点でエッチングすることもできる【図3(e)】。この状態では、ロジック部21には第二の多結晶シリコン膜16が、また高耐圧部22には第一の多結晶シリコン膜15が未加工の状態で存在する。必要があれば、多結晶シリコン膜15、16を低抵抗化するための不純物の導入を行う。ただし、この工程は多結晶シリコン膜を堆積するとき同時に不純物を導入するいわゆるドープ多結晶シリコン膜にするなら不要である。

【0039】ついで、フォトレジスト19を塗布し、パターン形成してロジック部21のゲート電極25と高耐

圧部22のゲート電極26とを形成する〔図3(f)〕。以上で本発明方法によるゲート酸化膜23と24の成膜およびゲート電極25、26の形成までが完了するが、以上的方法によつても、フォトレジスト19を使用する工程の図3(c)、(e)において常にフォトレジスト19の下に多結晶シリコン膜15、16があり、ゲート酸化膜23、24にフォトレジスト19が触れて不純物汚染を引き起こすことがない。清浄な半導体表面に不純物による汚染がないゲート酸化膜23と24を良好な膜質で容易に成膜することができる。またゲート電極25、26の下のゲート酸化膜がアンダーカットされることもない。

〔0040〕これ以降の工程は、図2(a)および(b)に断面図で示したものと同じでよい。本発明方法によりゲート酸化膜23と24を成膜したウェハ10に図2のようにMOSトランジスタ41と42を組み込んだ集積回路装置の試験結果では、汚染やゲート電極下の酸化膜のアンダーカットが原因と思われるゲート耐圧やしきい値の不良がほぼ0であり、さらに加熱下の100時間程度の劣化加速試験の結果でもゲート耐圧や動作特性の劣化は特に認められなかった。

〔0041〕上記の例では、先に厚いゲート酸化膜24を成膜し〔図3(b)〕、その後薄いゲート酸化膜23を成膜した〔図3(d)〕。これを逆にして先に薄いゲート酸化膜23を成膜し、後で厚いゲート酸化膜24を成膜することもできるが、後の酸化時の一層目の多結晶シリコン膜15の目減りを考慮すれば、先に厚いゲート酸化膜24を成膜する方が有利である。

〔0042〕なお、熱酸化はドライ酸化法やスチーム酸化法によることもできるが、いわゆるバイロジエニック酸化法によるのが成膜の速度を上げ膜厚の制御精度を高め得る上で最も有利である。

〔0043〕

【発明の効果】以上説明したように本発明第一の方法では、集積回路を組み込むべきウェハに膜厚が異なるゲート酸化膜を成膜するため、まず選択酸化工程においてゲート酸化膜を成膜すべきすべての箇所に耐酸化性膜を被覆した状態でウェハに熱酸化を施し、この耐酸化性膜を薄いゲート酸化膜の成膜箇所に残した状態で第一酸化工程では熱酸化により厚いゲート酸化膜を成膜し、更に第二酸化工程では耐酸化性膜をすべて除去した状態で熱酸化により薄いゲート酸化膜を成膜し、また本発明第二の方法では、ゲート酸化膜を成膜すべきすべての箇所に一方の膜厚のゲート酸化膜とゲート電極を加工すべき電極膜とを形成し、他方のゲート酸化膜を成膜すべきすべての箇所の酸化膜と電極膜を除去し、ゲート酸化膜を成膜すべきすべての箇所に他方の膜厚のゲート酸化膜とゲート電極を加工すべき電極膜とを形成し、二層の電極膜が形成された箇所の上層の電極膜を除去することによって、次の効果が得られる。

〔0044〕(a) フォトレジストを用いる fotoprocesses が、第一の方法ではゲート酸化膜の成膜箇所がまだ耐酸化性膜で覆われている状態で、第二の方法では電極膜で覆われている状態で済ませるので、金属等の有害な不純物が含まれ易いフォトレジスト樹脂がゲート酸化膜はもちろんその成膜範囲のウェハ面にも接触し得ないので、ウェハの清浄な半導体の表面に不純物により汚染されないゲート酸化膜を良好な膜質で容易かつ確実に成膜することができる。

〔0045〕(b) ゲート電極直下のゲート酸化膜がふつ酸にさらされることがなく、ゲート電極直下のアンダーカットもないため、デバイスの信頼性を低下させることがない。特に第一の方法においては、(c) 従来とおなじ工程数で上述の効果が得られる。すなわち、従来は厚いゲート酸化膜の成膜工程と薄いゲート酸化膜の成膜工程との間にフォトエッチャリング工程を挿入していたのに對し、本発明方法では、選択酸化工程後の準備工程でフォトエッチャリングを施した後に第一酸化工程で厚いゲート酸化膜を、第二酸化工程で薄いゲート酸化膜をそれぞれ成膜するので、二回の酸化工程と一回のフォトエッチャリング工程とを経由する点で同じである。なお、周知のように選択酸化工程はどの集積回路にも一般的な工程なので本発明のために特に追加する必要はない。そして第一酸化工程のために耐酸化性膜を厚いゲート酸化膜の成膜箇所からプラズマエッチャリング法により除去する本発明の実施態様は、ウェットエッチャリング法よりもフォトレジスト膜が損傷を受けるおそれを減少させてフォトエッチャリングを容易にする利点がある。また、第二酸化工程のために耐酸化性膜をそれに対して選択性を有するニッティング液、特に熱磷酸液を用いて薄いゲート酸化膜の成膜箇所からウェットエッチャリングによって除去する態様は、薄いゲート酸化膜に与える影響を減少させてそれに正確な膜厚をもたせる効果を有する。

【図面の簡単な説明】

【図1】(a)ないし(f)は本発明に係るMOS型集積回路装置の製造方法を説明するためのゲート電極形成までの主要工程ごとの断面図

【図2】(a)および(b)は図1に統く本発明に係るMOS型集積回路装置の製造方法を説明するための主要工程ごとの断面図

【図3】(a)ないし(f)は本発明に係るMOS型集積回路装置の別の製造方法を説明するためのゲート電極形成までの主要工程ごとの断面図

【図4】(a)ないし(f)は従来のMOS型集積回路装置の製造方法を説明するためのゲート電極形成までの主要工程ごとの断面図

【図5】(a)ないし(f)は従来のMOS型集積回路装置の別の製造方法を説明するためのゲート電極形成までの主要工程ごとの断面図

50 【符号の説明】

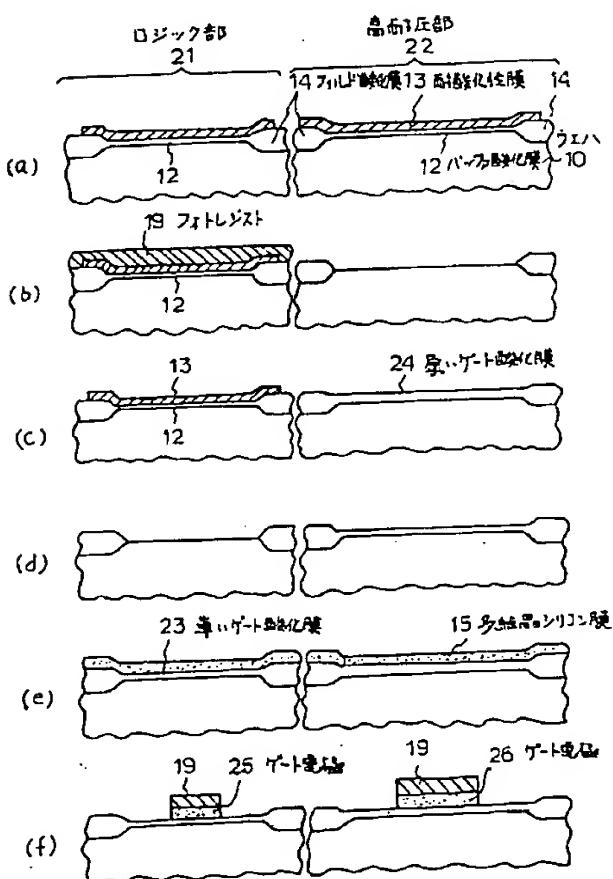
13

1 0 ウエハ
 1 1 半導体領域
 1 2 パッファ酸化膜
 1 3 耐酸化性膜
 1 4 フィールド酸化膜
 1 5 第一の多結晶シリコン膜
 1 6 第二の多結晶シリコン膜
 1 7 第一酸化膜
 1 8 多結晶シリコン膜上酸化膜
 1 9 フォトレジスト
 2 1 ロジック部
 2 2 高耐圧部

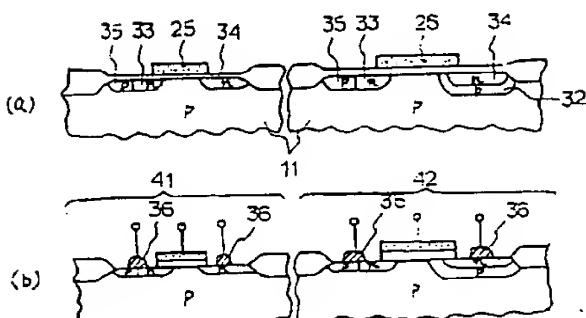
14

2 3 薄いゲート酸化膜
 2 4 厚いゲート酸化膜
 2 5 ゲート電極
 2 6 ゲート電極
 3 2 n型低濃度領域
 3 3 n型ソース領域
 3 4 n型ドレイン領域
 3 5 p型コンタクト領域
 3 6 電極
 10 4 1 ロジック部のMOSトランジスタ
 4 2 高耐圧部のMOSトランジスタ

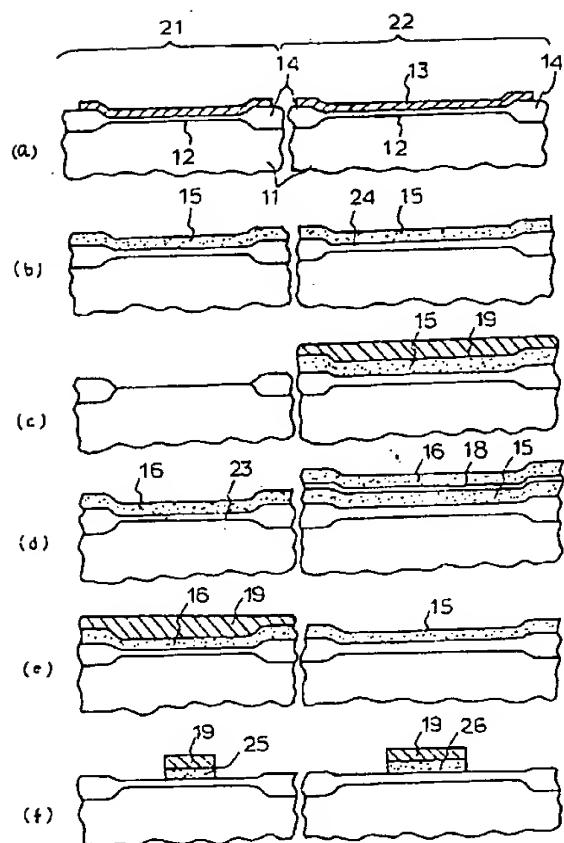
【図1】



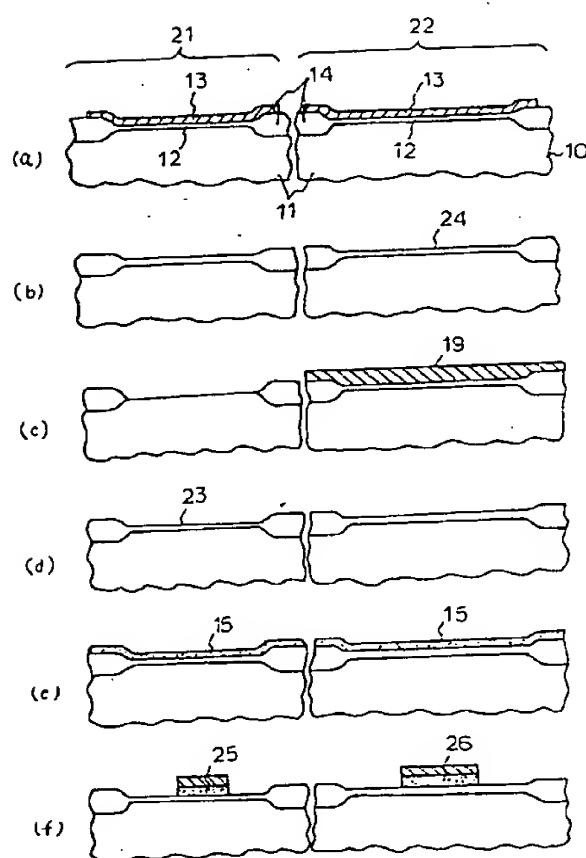
【図2】



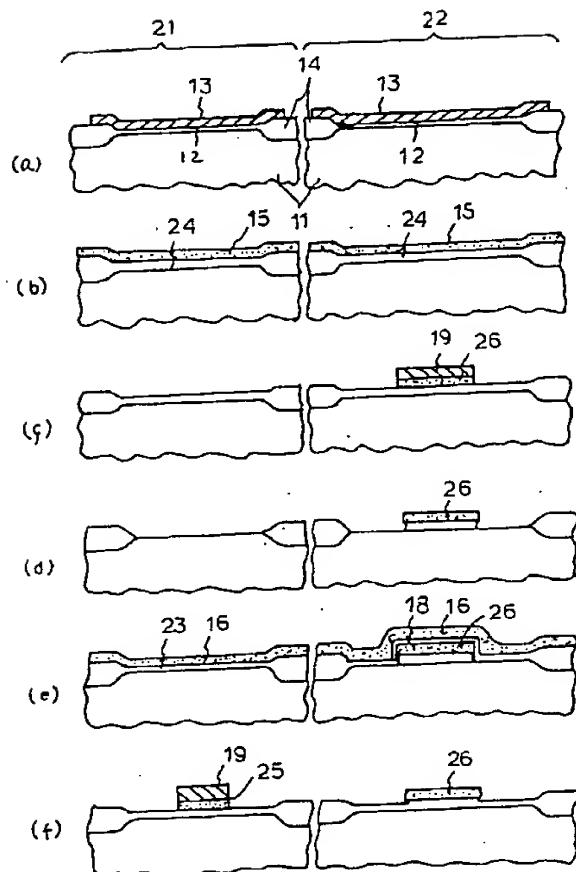
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl. 9

H 01 L 21/336

識別記号

府内整理番号

F I

技術表示箇所

H 01 L 29/78

3 0 1 G

3 0 1 P